



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ Patentschrift  
⑩ DE 199 09 536 C 1

⑤① Int. Cl.<sup>7</sup>:  
H 03 K 5/15  
G 11 C 19/28

②① Aktenzeichen: 199 09 536.1-31  
②② Anmeldetag: 4. 3. 1999  
④③ Offenlegungstag: -  
④⑤ Veröffentlichungstag  
der Patenterteilung: 15. 6. 2000

DE 199 09 536 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

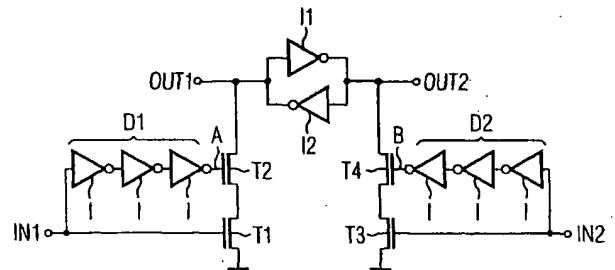
⑦③ Patentinhaber:  
Siemens AG, 80333 München, DE

⑦② Erfinder:  
Graetz, Thoralf, 01307 Dresden, DE; Härle, Dieter,  
81541 München, DE; Heyne, Patrick, 81541  
München, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:  
GB 21 86 455 A

⑤④ Integrierte Schaltung zur Erzeugung zweier Ausgangstakte mit zeitlich nicht überlappenden Pegeln

⑤⑦ Die integrierte Schaltung weist zwei Eingänge (IN1, IN2) auf zur Zuführung je eines Eingangstaktes. Sie weist ferner zwei Ausgänge (OUT1, OUT2) auf zur Ausgabe je eines Ausgangstaktes, wobei erste logische Pegel (1) der Ausgangstakte sich zeitlich nicht überlappen.



DE 199 09 536 C 1

Die Erfindung betrifft eine integrierte Schaltung zur Erzeugung zweier Ausgangstakte, wobei erste logische Pegel der Ausgangstakte sich zeitlich nicht überlappen.

Derartige Schaltungen werden beispielsweise zur Ansteuerung von Schieberegistern benötigt, bei denen mehrere Registerelemente in einer Reihenschaltung angeordnet sind, die über Schaltelemente miteinander verbunden sind. Hierbei ist es wichtig, daß zu keinem Zeitpunkt sowohl das eingangsseitige als auch das ausgangsseitige Schaltelement eines der Registerelemente leitend ist. Daher ist es günstig, beide Schaltelemente mit jeweils unterschiedlichen Takten anzusteuern, wobei die Schaltelemente bei einem ersten logischen Pegel der Taktsignale leiten und beim anderen logischen Pegel sperren. Um ein gleichzeitiges Leiten beider Schaltelemente zu vermeiden, ist es notwendig, daß sich die ersten logischen Pegel der beiden Taktsignale zeitlich nicht überlappen.

In der GB 2 186 455 A ist ein Differenzverstärker für eine Halbleiterschaltung beschrieben.

Der Erfindung liegt die Aufgabe zugrunde, eine integrierte Schaltung anzugeben, mit der zwei Ausgangstakte erzeugt werden können, die erste logische Pegel haben, die sich zeitlich nicht überlappen. Außerdem soll die Zeitspanne, während der keiner der Ausgangstakte den ersten logischen Pegel aufweist, möglichst kurz sein.

Diese Aufgabe wird mit einer integrierten Schaltung gemäß Patentanspruch 1 gelöst. Vorteilhafte Aus- und Weiterbildungen der Erfindung sind Gegenstand der abhängigen Patentansprüche.

Die Erfindung ermöglicht die Erzeugung der beiden Ausgangstakte, deren erste logische Pegel sich zeitlich nicht überlappen, aus zwei Eingangstakten, deren logische Pegel sich zeitlich beliebig überlappen dürfen.

Nach einer Weiterbildung der Erfindung sind die Ausgänge jeweils mit einer Verzögerungseinheit verbunden, die eine unterschiedliche Verzögerung für die beiden Flankenarten des jeweiligen Ausgangstaktes bewirkt. Auf diese Weise läßt sich vorteilhaft die Zeitspanne, während der keiner der Ausgangstakte den ersten logischen Pegel aufweist, minimieren.

Die Erfindung wird im folgenden anhand der Figuren näher erläutert, die Ausführungsbeispiele darstellen. Es zeigen:

**Fig. 1 bis 3** verschiedene Ausführungsbeispiele der erfindungsgemäßen integrierten Schaltung und

**Fig. 4 bis 6** Signalverläufe zu den in den **Fig. 1 bis 3** dargestellten Ausführungsbeispielen.

**Fig. 1** zeigt ein erstes Ausführungsbeispiel der erfindungsgemäßen integrierten Schaltung. Sie weist einen ersten Eingang IN1, einen zweiten Eingang IN2, einen ersten Ausgang OUT1 sowie einen zweiten Ausgang OUT2 auf. Die beiden Ausgänge OUT1, OUT2 sind über zwei antiparallel zueinander angeordnete Inverter I1, I2 miteinander verbunden. Ein niedriges Versorgungspotential Masse ist über ein erstes Schaltelement T1 und ein zweites Schaltelement T2 mit dem ersten Ausgang OUT1 verbunden. Das Massepotential ist außerdem über ein drittes Schaltelement T3 und ein viertes Schaltelement T4 mit dem zweiten Ausgang OUT2 verbunden.

Die bei den hier vorgestellten Ausführungsbeispielen enthaltenen Schaltelemente sind alle n-Kanal-Transistoren. Die Schaltungen sind jedoch auch ebenso gut mit p-Kanal-Transistoren realisierbar, wenn statt des Massepotentials ein positives Versorgungspotential verwendet wird.

Der erste Eingang IN1 ist beim Ausführungsbeispiel gemäß **Fig. 1** mit dem Steueranschluß des ersten Schaltele-

mentes T1 und, über ein erstes invertierendes Verzögerungselement D1, mit dem Gate A des zweiten Schaltelementes T2 verbunden. Der zweite Eingang IN2 ist mit dem Gate des dritten Schaltelementes T3 und, über ein zweites invertierendes Verzögerungselement D2, mit dem Gate B des vierten Schaltelementes T4 verbunden. Die beiden invertierenden Verzögerungselemente D1, D2 weisen je eine Reihenschaltung dreier Inverter I auf.

**Fig. 4** zeigt Signalverläufe zu der in **Fig. 1** dargestellten Schaltung. Es ist zu erkennen, daß die Ausgangstakte OUT1, OUT2 High-Pegel aufweisen, die sich zeitlich nicht überlappen, wobei die Zeiträume, in denen keiner dieser Takte den High-Pegel hat, sehr kurz sind.

**Fig. 2** zeigt ein zweites Ausführungsbeispiel der Erfindung, das ebenfalls zwischen den Ausgängen OUT1, OUT2 die beiden Inverter I1, I2, zwischen dem ersten Ausgang OUT1 und Masse die Reihenschaltung aus dem zweiten Schaltelement T2 und dem ersten Schaltelement T1 und zwischen dem zweiten Ausgang OUT2 und Masse die Reihenschaltung aus dem vierten Schaltelement T4 und dem dritten Schaltelement T3 aufweist. Der erste Eingang IN1 ist wiederum mit dem Gate des ersten Schaltelementes T1 und der zweite Eingang IN2 mit dem Gate des dritten Schaltelementes T3 verbunden. Das Gate A des zweiten Schaltelementes T2 ist mit dem Gate B des vierten Schaltelementes T4 über einen dritten Inverter I3 und einen vierten Inverter I4 verbunden, die gegenparallel zueinander angeordnet sind. Ferner ist das Gate A des zweiten Schaltelementes T2 über ein sechstes Schaltelement T6 und ein fünftes Schaltelement T5 mit Masse verbunden, während das Gate B des vierten Schaltelementes T4 über ein achttes Schaltelementes T8 und ein siebtes Schaltelement T7 mit Masse verbunden ist. Der erste Ausgang OUT1 ist mit dem Gate des siebten Schaltelementes T7 und der zweite Ausgang OUT2 mit dem Gate des fünften Schaltelementes T5 verbunden. Der zweite Eingang IN2 ist über einen fünften Inverter I5 mit dem Gate des sechsten Schaltelementes T6 und der erste Eingang IN1 ist über einen sechsten Inverter I6 mit dem Gate des achten Schaltelementes T8 verbunden.

Dem ersten Ausgang OUT1 ist ein siebter Inverter I7 und ein achter Inverter I8 nachgeschaltet, wobei am Ausgang des achten Inverter I8 ein modifizierter erster Ausgangstakt OUT1' erzeugt wird. Dem zweiten Ausgang OUT2 ist ein neunter Inverter I9 und ein zehnter Inverter I10 nachgeschaltet, wobei am Ausgang des zehnten Inverters I10 ein zweiter modifizierter Ausgangstakt OUT2' erzeugt wird. Der siebte Inverter I7 und der neunte Inverter I9 sind so dimensioniert, das durch sie eine negative Signalfanke an ihrem Eingang (das heißt den Ausgängen OUT1, OUT2) stärker verzögert wird als eine positive Flanke. Hierdurch wird erreicht, das die modifizierte Ausgangstakte OUT1', OUT2' zeitgleich eine Pegeländerung aufweisen.

**Fig. 5** zeigt die entsprechenden Signalverläufe zum Ausführungsbeispiel aus **Fig. 2**. In **Fig. 5** sind auch Verzögerungszeiten  $t_1$ ,  $t_2$ ,  $t_3$  eingezeichnet. Die erste Verzögerungszeit  $t_1$  ist die Verzögerung zwischen einer Flanke aus einem der Ausgänge OUT1, OUT2 gegenüber einer Flanke am anderen Ausgang. Die zweite Verzögerungszeit  $t_2$  gilt für eine positive Flanke an den Ausgängen OUT1, OUT2. Die dritte Verzögerungszeit  $t_3$  gilt für eine entsprechende negative Flanke. Es gilt  $t_2 < t_3$ .  $t_2$  und  $t_3$  sind durch entsprechende Dimensionierung der Inverter I7 bis I10 so festgelegt, daß  $t_1 + t_2 = t_3$  gilt. Somit treten die Flanken der modifizierten Ausgangstakte OUT1', OUT2' immer gleichzeitig auf.

**Fig. 3** zeigt ein weiteres Ausführungsbeispiel der Erfindung, das sich vom Ausführungsbeispiel gemäß **Fig. 1** darin unterscheidet, daß dem ersten Ausgang OUT1 ein elfter Inverter I11 und ein zwölfter Inverter I12 nachgeschaltet sind,

wobei am Ausgang des zwölften Inverters I12 der erste modifizierte Ausgangstakt OUT1' erzeugt wird. Dem zweiten Ausgang OUT2 ist ein dreizehnter Inverter I13 und ein vierzehnter Inverter I14 nachgeschaltet, wobei am Ausgang des vierzehnten Inverters I14 der zweite modifizierte Ausgangstakt OUT2' erzeugt wird. Bei diesem Ausführungsbeispiel weisen die vier Inverter I11 bis I14 wenigstens annähernd symmetrisches Schaltverhalten auf, das heißt, sie verzögern sowohl positive als auch negative Flanken ihres Eingangssignals in etwa um die gleiche Zeitspanne.

Um trotzdem die positive Flanke der Ausgangstakte OUT1, OUT2 weniger stark zu verzögern, als deren negative Flanke, ist der Ausgang des elften Inverters I11 über eine erste spannungsabhängige Kapazität C1 mit dem Gate A des zweiten Schaltelementes T2 und der Ausgang des dreizehnten Inverters I13 über eine zweite spannungsabhängige Kapazität C2 mit dem Gate B des vierten Schaltelementes T4 verbunden. Die spannungsabhängigen Kapazitäten C1, C2 sind durch je einen n-Kanal-Transistor realisiert, dessen Source und Drain mit dem Ausgang des jeweiligen Inverters I11, I13 und dessen Gate mit dem Gate A des zweiten Schaltelementes T2 bzw. dem Gate B des vierten Schaltelementes T4 verbunden ist. Wenn am Gate der Kapazitäten C1, C2 ein hohes Potential anliegt, ist deren Wert größer, als wenn am Gate ein niedriges Potential anliegt. Dies liegt daran, daß bei einem hohen Gate-Potential der Kanal des die jeweilige Kapazität C1, C2 bildenden n-Kanal-Transistors leitet, während er bei einem niedrigen Gate-Potential sperrt. Somit ergibt sich eine jeweils unterschiedliche effektive Kapazität.

Fig. 6 zeigt die Signalverläufe zum Ausführungsbeispiel gemäß Fig. 3.

Bei anderen Ausführungsbeispielen kann die Erzeugung der modifizierten Ausgangstakte OUT1', OUT2', alternativ zu dem in Fig. 2 dargestellten Ausführungsbeispiel, auch mit einem siebten Inverter I7 und einem neunten Inverter I9 erfolgen, die symmetrisches Schaltverhalten haben, wenn an deren Ausgängen die spannungsabhängigen Kapazitäten C1, C2 vom Ausführungsbeispiel gemäß Fig. 3 vorgesehen sind, die sie mit den entsprechenden Gates A, B des zweiten Schaltelementes T2 bzw. vierten Schaltelementes T4 verbinden. Ebenso ist es möglich, beim Ausführungsbeispiel gemäß Fig. 3 die spannungsabhängigen Kapazitäten C1, C2 wegzulassen und statt dessen den elften Inverter I11 und den dreizehnten Inverter I13 mit jeweils asymmetrischem Schaltverhalten auszuführen, wie dies bezüglich des siebten Inverters I7 und des neunten Inverters I9 beim Ausführungsbeispiel gemäß Fig. 2 erläutert wurde.

Es sind weitere Ausführungsbeispiele der Erfindung möglich, bei denen die Reihenfolge des ersten Schaltelementes T1 und zweiten Schaltelementes T2 sowie des dritten Schaltelementes T3 und vierten Schaltelementes T4 in den Reihenschaltungen, die die Ausgänge OUT1, OUT2 mit Masse verbinden, umgekehrt wird. Allerdings hat sich gezeigt, daß die in den Fig. 1 bis 3 dargestellte Reihenfolge dieser Schaltelemente T1 bis T4 vorteilhaft ist.

Für die Funktion der Erfindung ist es wichtig, daß die beiden Eingangstakte an den Eingängen IN1, IN2 im wesentlichen dieselbe Frequenz aufweisen, wobei ihre Phasenlage jedoch beliebig sein kann. Die erfindungsgemäße integrierte Schaltung erzeugt aus diesen Eingangstakten an den Ausgängen OUT1, OUT2 Ausgangstakte, die ebenfalls dieselbe Frequenz aufweisen, deren High-Pegel sich zeitlich jedoch nicht überlappen. Es ist beispielsweise möglich, einen der Eingangstakte aus dem anderen durch Invertierung zu erzeugen.

# 1. Integrierte Schaltung

- mit zwei Eingängen (IN1, IN2) zur Zuführung je eines Eingangstaktes,
- mit zwei Ausgängen (OUT1, OUT2) zur Ausgabe je eines Ausgangstaktes, wobei erste logische Pegel (1) der Ausgangstakte sich zeitlich nicht überlappen,
- mit einem ersten (I1) und einem zweiten (I2) Inverter, die antiparallel zueinander angeordnet sind und die beiden Ausgänge (OUT1, OUT2) miteinander verbinden,
- mit einer Reihenschaltung aus einem ersten (T1) und einem zweiten (T2) Schaltelement, über die der erste Ausgang (OUT1) mit einem Versorgungspotential (Masse) verbunden ist,
- mit einer Reihenschaltung aus einem dritten (T3) und einem vierten (T4) Schaltelement, über die der zweite Ausgang (OUT2) mit dem Versorgungspotential (Masse) verbunden ist,
- mit zwei Eingängen (IN1, IN2) zur Zuführung je eines Eingangstaktes,
- deren erster Eingang (IN1) mit einem Steueranschluß des ersten Schaltelementes (T1) verbunden ist,
- deren zweiter Eingang (IN2) mit einem Steueranschluß des dritten Schaltelementes (T3) verbunden ist,
- mit einer ersten Schaltungseinheit (D1; T5, T6), die mit einem Steueranschluß des zweiten Schaltelementes (T2) verbunden ist und die diesem während des Betriebs der Schaltung ein Signal (A) zuführt, das vom dem ersten Eingang (IN1) zuzuführenden Eingangstakt abgeleitet ist,
- und mit einer zweiten Schaltungseinheit (D2; T7, T8), die mit einem Steueranschluß des vierten Schaltelementes (T4) verbunden ist und die diesem während des Betriebs der Schaltung ein Signal (B) zuführt, das vom dem zweiten Eingang (IN2) zuzuführenden Eingangstakt abgeleitet ist.

# 2. Integrierte Schaltung nach Anspruch 1,

- mit einem dritten (I3) und einem vierten (I4) Inverter, die antiparallel zueinander angeordnet sind und die die Steueranschlüsse des zweiten (T2) und des vierten (T4) Schaltelementes miteinander verbinden,
- deren erste Schaltungseinheit eine Reihenschaltung eines fünften (T5) und eines sechsten (T6) Schaltelementes aufweist, über die der Steueranschluß des zweiten Schaltelementes (T2) mit dem Versorgungspotential (Masse) verbunden ist,
- deren zweite Schaltungseinheit eine Reihenschaltung eines siebten (T7) und eines achten (T8) Schaltelementes aufweist, über die der Steueranschluß des vierten Schaltelementes (T4) mit dem Versorgungspotential (Masse) verbunden ist,
- bei der ein Steueranschluß des fünften Schaltelementes (T5) mit dem zweiten Ausgang (OUT2) verbunden ist,
- bei der ein Steueranschluß des siebten Schaltelementes (T7) mit dem ersten Ausgang (OUT1) verbunden ist,
- mit einem fünften Inverter (I5), über den der zweite Eingang (IN2) mit einem Steueranschluß des sechsten Schaltelementes (T6) verbunden ist,
- und mit einem sechsten Inverter (I6), über den der erste Eingang (IN1) mit einem Steueranschluß

- des achten Schaltelementes (T8) verbunden ist.
3. Integrierte Schaltung nach Anspruch 1,  
– deren Schaltungseinheiten je ein invertieren-  
des Verzögerungselement (D1, D2) aufweisen,  
– deren erstes invertierendes Verzögerungsele- 5  
ment (D1) den ersten Eingang (IN1) mit dem  
Steueranschluß des zweiten Schaltelementes (T2)  
verbindet  
– und deren zweites invertierendes Verzöge-  
rungselement (D2) den zweiten Eingang (IN2) 10  
mit dem Steueranschluß des vierten Schaltele-  
mentes (T4) verbindet.
4. Integrierte Schaltung nach einem der Ansprüche 1  
bis 3, deren Ausgänge (OUT1, OUT2) jeweils mit einer 15  
Verzögerungseinheit (C1, C2; I7, I9) verbunden  
sind, die eine unterschiedliche Verzögerung für die bei-  
den Flankenarten des jeweiligen Ausgangstaktes be-  
wirkt.
5. Integrierte Schaltung nach Anspruch 4,  
– deren Verzögerungseinheiten jeweils einen 20  
Kondensator (C1, C2) aufweisen mit einer Kapa-  
zität, die von der Polarität der über dem Konden-  
sator abfallenden Spannung abhängt,  
– deren erster Ausgang (OUT1) über den ersten  
Kondensator (C1) mit dem Steueranschluß des 25  
zweiten Schaltelementes (T2) verbunden ist  
– und deren zweiter Ausgang (OUT2) über den  
zweiten Kondensator (C2) mit dem Steueran-  
schluß des vierten Schaltelementes (T4) verbun-  
den ist. 30
6. Integrierte Schaltung nach Anspruch 4, deren Ver-  
zögerungseinheiten jeweils einen Inverter (I7, I9) auf-  
weisen, dessen Eingang mit dem entsprechenden Aus-  
gang (OUT1, OUT2) verbunden ist und der eine unter-  
schiedliche Verzögerung der beiden Flankenarten be- 35  
wirkt.
7. Integrierte Schaltung nach Anspruch 1,  
– deren erster Ausgang (OUT1) über das zweite  
Schaltelement (T2) mit dem ersten Schaltelement  
(T1) verbunden ist 40  
– und deren zweiter Ausgang (OUT2) über das  
vierte Schaltelement (T4) mit dem dritten Schalt-  
element (T3) verbunden ist.

---

Hierzu 4 Seite(n) Zeichnungen

---

45

50

55

60

65

FIG 1

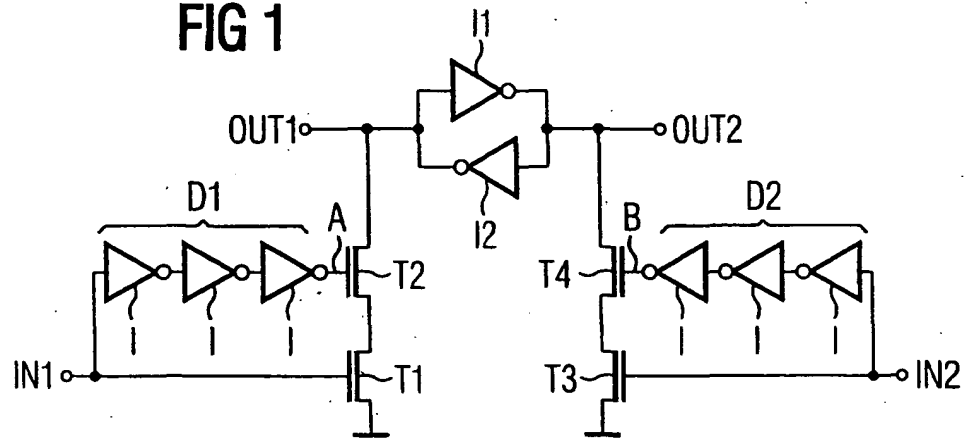


FIG 2

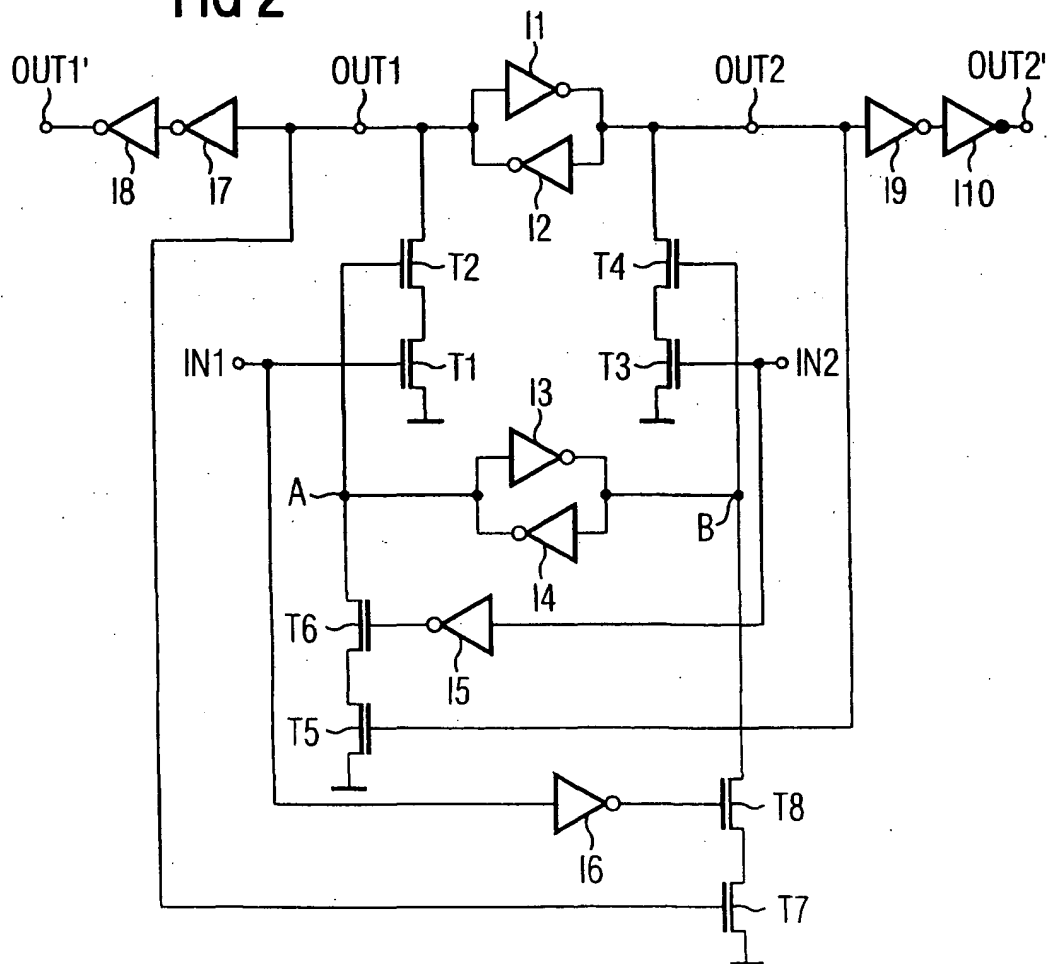


FIG 3

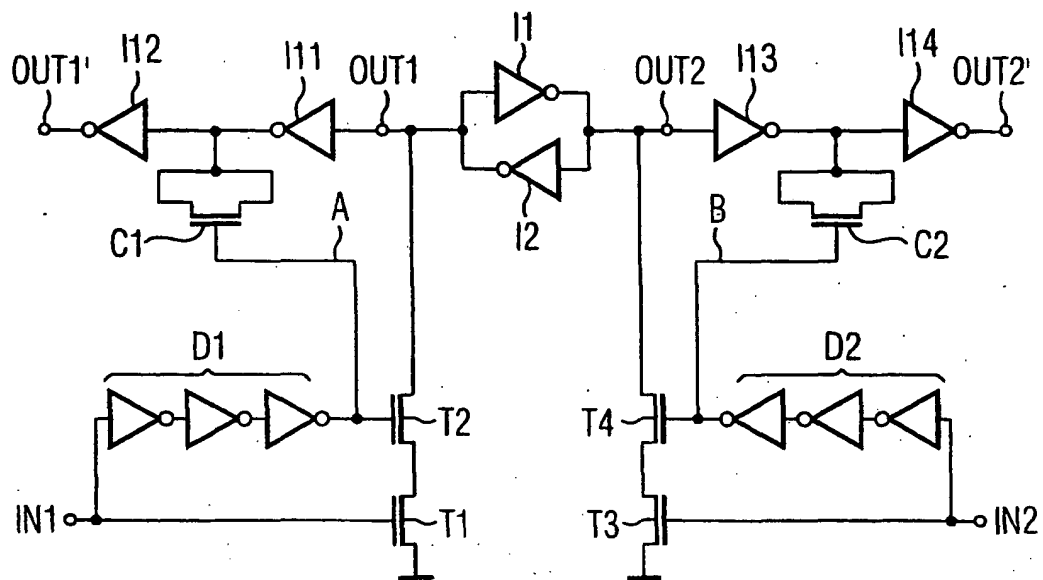


FIG 4

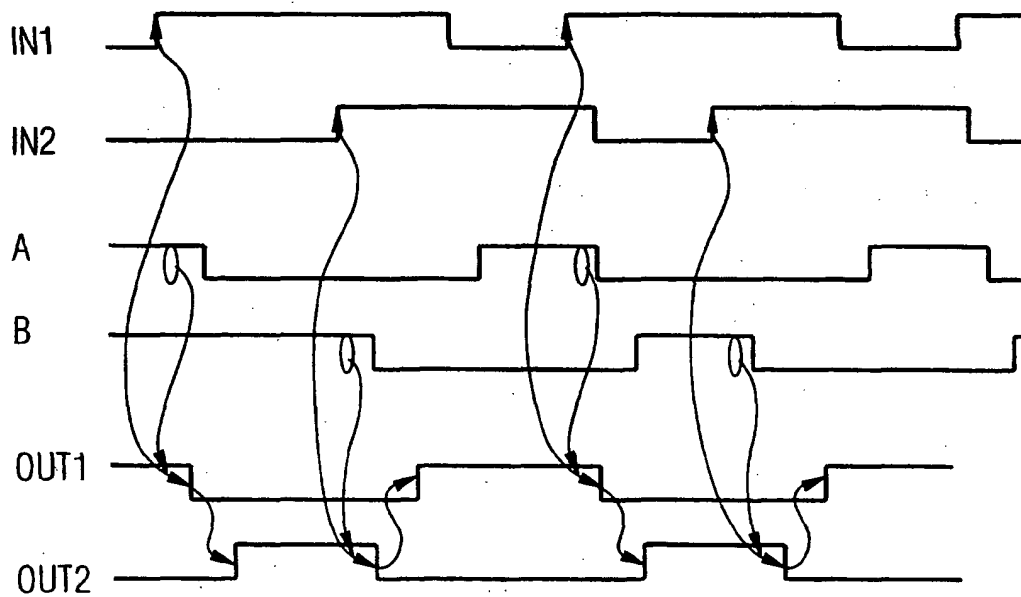


FIG 5

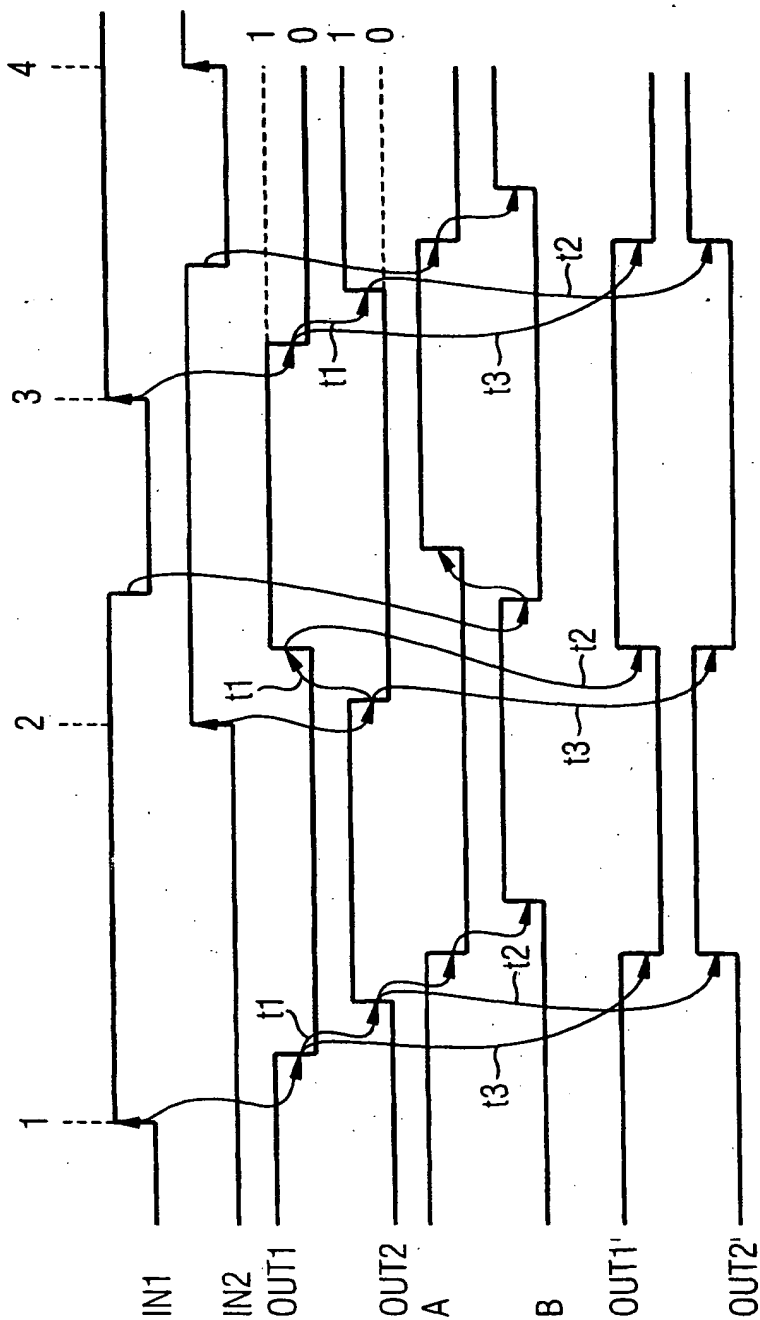
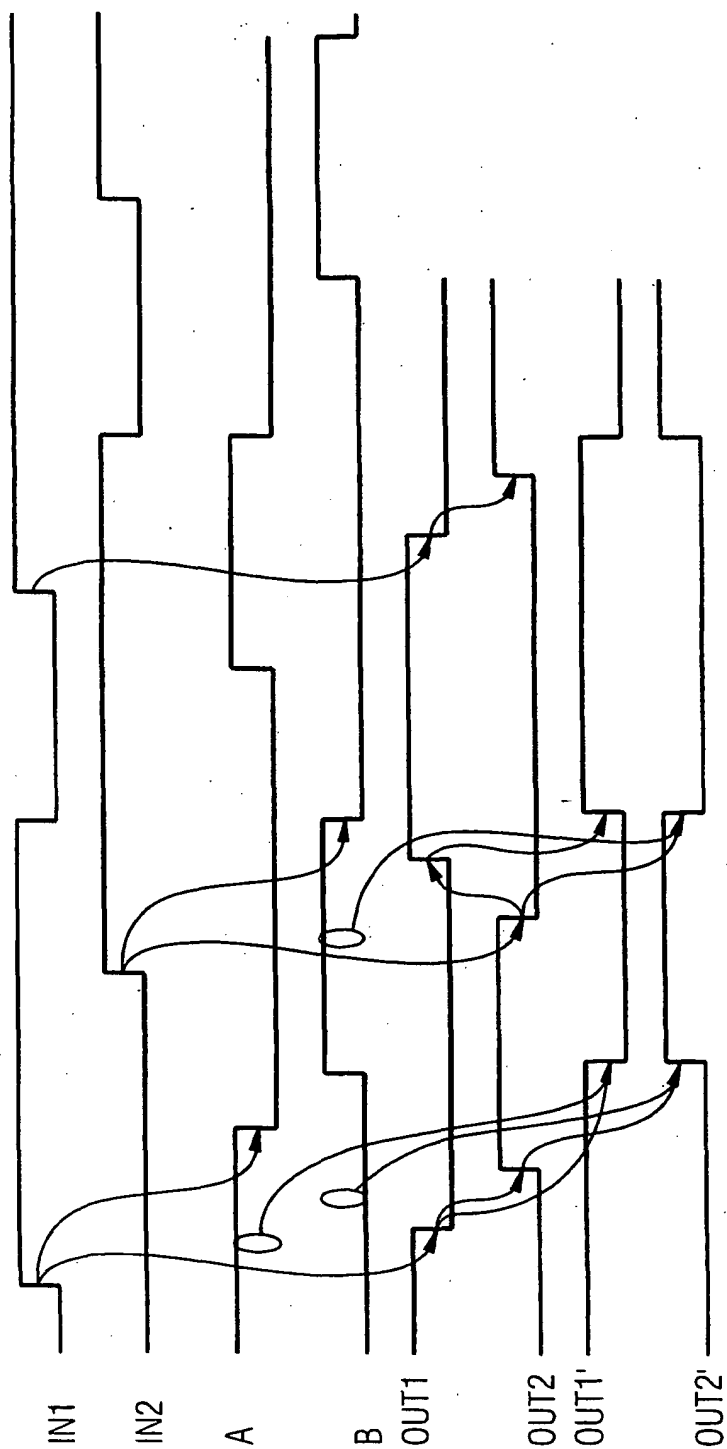


FIG 6





**Integrated circuit for producing two output clock signals at levels which do not overlap in time**

Patent Number: US6307416  
Publication date: 2001-10-23  
Inventor(s): GRA EUML TZ THORALF (DE); H AUML RLE DIETER (DE); HEYNE PATRICK (DE)  
Applicant(s): INFINEON TECHNOLOGIES AG (US)  
Requested Patent: DE19909536  
Application Number: US20000519541 20000306  
Priority Number(s): DE19991009536 19990304  
IPC Classification: H03H11/16  
EC Classification:  
Equivalents: EP1033814

---

**Abstract**

---

The integrated circuit has two inputs each supplying one input clock. Two outputs each output one output clock. The first logic levels of the output clock signals at the outputs do not overlap in time

---

Data supplied from the esp@cenet database - I2

DOCKET NO: 88U-IT-462

SERIAL NO: \_\_\_\_\_

APPLICANT: Karl Schrödingel

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100